



Technische Informatik II im SS 2005

Aufgaben zu den Tutorien in der Woche
vom 13. bis 15. Juni 2005

Dr.-Ing. T. Asfour

Haid-und-Neu-Str.7, Geb. 07.21
D-76131 Karlsruhe
Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/TI>

Aufgabe 1

1. Wie werden EPROM- und EEPROM-Bausteine gelöscht?
2. Wie wird die Information eines Bits in statischen und dynamischen RAM-Bausteinen gespeichert? Wie unterscheiden sich statische und dynamische RAM-Bausteine bezüglich des elektrischen Verhaltens?
3. Warum werden dynamische RAM-Bausteine als Hauptspeicher und statische RAM-Bausteine für Cache-Speicher eingesetzt?
4. Skizzieren Sie den Aufbau einer statischen CMOS-Speicherzelle.

Aufgabe 2

Bild 1 zeigt die Belegung eines Adreßraums von 64 Kbyte Adressen bei speicherbezogener Adressierung durch vier aneinandergrenzende Speicher- und Ein-/Ausgabebereiche (I/O): einen 32-Kbyte-RAM-Bereich, einen 4-Kbyte-EPROM-Bereich und zwei Ein-/Ausgabebereiche mit 256 und 8 Bytes.

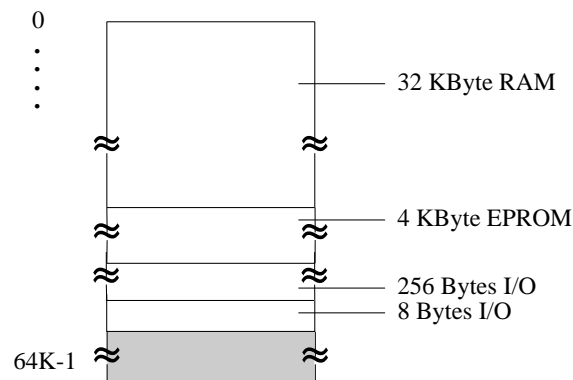


Bild 1: Belegung des Adreßraums

1. Geben Sie die Anfang- und Endadressen der Speicherbereiche in hexadezimaler Schreibweise an.
2. Geben Sie die für die Bereichsauswahl erforderliche Unterteilung der 16-Bit-Adresse für jeden der Bereiche und die Werte der für die Bereichsauswahl signifikanten Bits an.
3. Wie ändern sich die Adreßfestlegungen zur Auswahl der beiden Ein-/Ausgabebereiche, wenn diese an den Anfang des letzten 1-Kbyte-Bereichs des Adreßraums verschoben werden?