



Technische Informatik II im SS 2005

Aufgaben zu den Tutorien in der Woche  
vom 02. bis 04. Mai 2005

Dr.-Ing. T. Asfour

Haid-und-Neu-Str.7, Geb. 07.21  
D-76131 Karlsruhe  
Telefon: +49-721-608-7379  
Fax: +49-721-608-8270  
Email: [asfour@ira.uka.de](mailto:asfour@ira.uka.de)  
<http://i61www.ira.uka.de/users/asfour/TI>

### Aufgabe 1

1. Welches Register enthält den aktuell ausgeführten Befehl?
2. Aus welchem Register entnimmt das Steuerwerk die Information über das Ergebnis einer arithmetisch logischen Operation im Prozessor?
3. Wo steht die Adresse des nächsten auszuführenden Befehls?
4. Welche Einheit des Mikroprozessors berechnet die effektive Adresse?

### Aufgabe 2

Siehe Folien :)

1. Klassen von Architekturen, Ausführungsmodelle?
2. Speicheradressierung:
  - Datenzugriff (Byteadressierbar und wortorganisierter Speicher?)
  - Ausrichtung der Daten im Speicher?
  - Anordnung der Daten im Speicher (*little und big endian order*)

### Aufgabe 3

**Lernziel:** *Durch die Architektur des internen Bussystems kann der Grad der prozessorinternen Parallelität erhöht werden. Dies wird durch mehrere Teilbusse (auf dem Chip) erreicht. Dieser Maßnahme steht jedoch entgegen, dass das interne Bussystem einen großen Teil der Chipfläche belegt und deshalb nicht beliebig ausgebaut werden kann.*

In Bild 1 ist das interne Bussystem eines Mikroprozessors dargestellt. Bei dieser Bus-Architektur ist nur eine geringe Parallelität bei der Befehlsbearbeitung möglich.

1. Nehmen Sie an, dass das Befehlsregister als Warteschlange (*OpCode prefetch queue*) realisiert ist.  
Ändern Sie die Bus-Architektur so, dass parallel zu Aktionen im Rechenwerk und Registersatz ein *OpCode Prefetching* möglich wird.

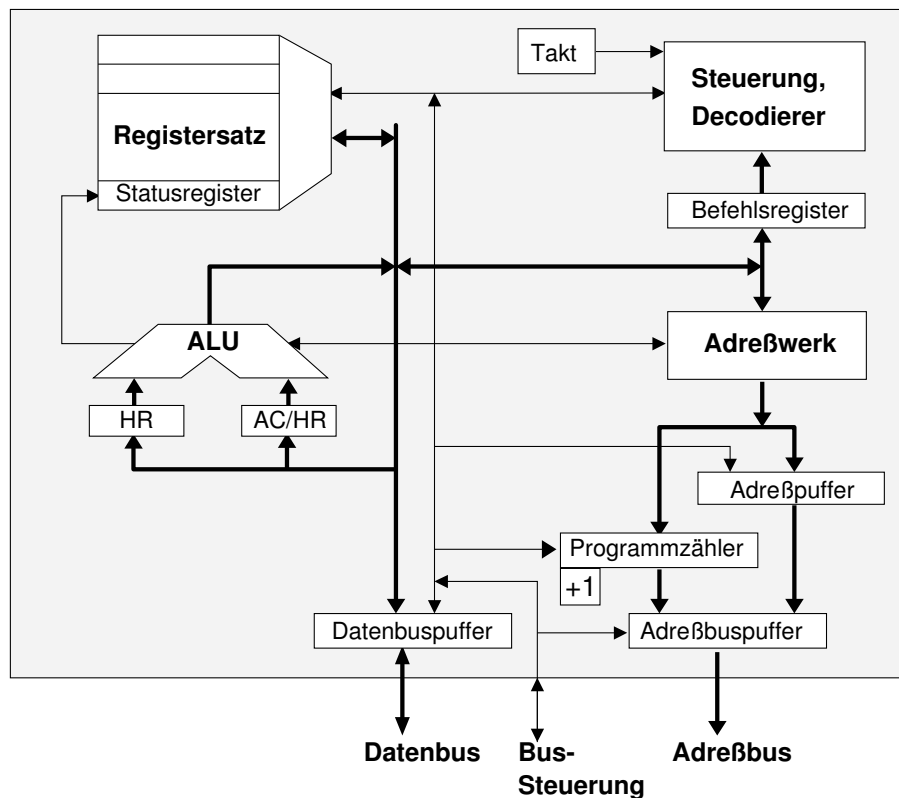


Bild 1: Das interne Bussystem eines Mikroprozessors

- Während das Ergebnis der zuletzt ausgeführten Operation im Rechenwerk in den Registersatz transportiert wird, soll ein Hilfsregister der ALU mit dem nächsten Operanden aus dem Datenbuspuffer oder aus dem Registersatz (sofern nicht das gleiche Register hierfür benötigt wird) geladen werden.  
Ändern Sie die Bus-Architektur so, dass diese Parallelisierung im Rechenwerk möglich wird.
- Ändern Sie die Bus-Architektur so, dass zwei Operanden parallel an die Eingänge der ALU geführt werden können. Dabei soll der eine Operand immer aus dem Registersatz stammen, während der andere Operand wahlweise aus dem Registersatz oder dem Datenbuspuffer stammt.