



Technische Informatik II im SS 2005

Aufgaben zu den Tutorien in der Woche
vom 27. bis 29. Juni 2005

Dr.-Ing. T. Asfour

Haid-und-Neu-Str.7, Geb. 07.21
D-76131 Karlsruhe
Telefon: +49-721-608-7379
Fax: +49-721-608-8270
Email: asfour@ira.uka.de
<http://i61www.ira.uka.de/users/asfour/TI>

Lernziele

- Cache-Strukturen:
 - Laden des Cache
 - Adressierung
 - Aktualisierung
 - Ersetzungsstrategien
 - ...

Aufgabe 1

Gegeben seien ein direkt-abgebildeter Cache (*direct-mapped*), ein 2-fach satzassoziativer Cache (*2-way-set-associativ*) und ein vollassoziativer Cache (*fully-associativ*). Die drei Cachespeicher haben jeweils eine Speicherkapazität von 64 Bytes und werden in Blöcken von je 8 Bytes geladen. Die Hauptspeicheradresse umfaßt 32 Bits. Falls notwendig, wird die „*Least Recently Used*“-Ersetzungsstrategie LRU verwendet.

Betrachten Sie die Folge der Lesezugriffe auf die folgenden, in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

\$12, \$8A, \$9A, \$6C, \$34, \$54, \$68, \$FE, \$17

1. Geben Sie die Längen des Tag-Feldes und die Anzahl der erforderlichen Vergleiche für jede der drei Cache-Architekturen an.
2. Nehmen Sie an, die Caches seien zu Beginn leer. Ermitteln Sie, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Treffer (Cache-Hit) oder keinen Treffer (Cache-Miss) handelt.

Aufgabe 2

Gegeben seien ein direkt-abgebildeter Cache (*direct mapped*, Abkürzung: DM), ein 4-fach satzassoziativer Cache (*4-way-set-associativ*, Abkürzung: A4) und ein vollassoziativer Cache (*fully-associativ*, Abkürzung: AV). Die drei Cache-Speicher haben jeweils eine Speicherkapazität von 128 Bytes und werden in Blöcken von je 16 Bytes geladen. Die Hauptspeicheradresse umfaßt 32

Bits. Falls notwendig, wird die „Least Recently Used“-Ersetzungsstrategie verwendet. Betrachten Sie die Folge der Lesezugriffe auf die folgenden in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

\$2D, \$38, \$9E, \$D4, \$19, \$29, \$3E, \$9D, \$CA

1. Welche Bits der 32-Bit-Adresse bilden Offset, Tag und Index? Skizzieren Sie hierzu die Unterteilung der Hauptspeicheradresse für die drei Cache-Speicher.
2. Der Zustand eines Cacheblocks wird durch zwei Statusbits (*Valid-Bit* und *Dirty-Bit*) gekennzeichnet. Wieviel Speicherplatz wird insgesamt für die Realisierung des Tag-Speichers der einzelnen Cache-Speicher benötigt?
3. Nehmen Sie an, die Cache-Speicher seien zu Beginn leer. Kennzeichnen Sie in der vorbereiteten Tabelle im Lösungsblatt für jeden Cache-Speicher, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Cache-Miss oder einen Cache-Hit handelt. Verwenden Sie dabei „-“ für Cache-Miss und „×“ für Cache-Hit.

Aufgabe 3

Lösen Sie die letzte Aufgabe, wenn die Blockgröße 8 Bytes ist.

Aufgabe 4

Gegeben sei ein direkt-abgebildeter Cache (*direct mapped*, Abkürzung: **DM**) mit einer Speicherkapazität von 128 Byte und einer Blockgröße von 16 Bytes. Als Aktualisierungsstrategie wird das Rückschreib-Verfahren (*write back*) verwendet. Die Hauptspeicheradresse ist 32 Bit breit.

1. Skizzieren Sie die Unterteilung der Hauptspeicheradresse.
2. Zur Verwaltung eines Cacheblocks werden zwei Statusbits verwendet: ein *Valid-Bit* (Abkürzung: *V*) und ein *Dirty-Bit* (Abkürzung: *D*). Berechnen Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers. Geben Sie den Lösungsweg an.

Der Zustand des Cache-Speichers sei durch Tabelle 1 angegeben. $V = 1$ kennzeichnet einen gültigen Eintrag im Cache. $D = 1$ kennzeichnet einen Eintrag im Cache, der gegenüber seiner Originalkopie verändert wurde.

Betrachten Sie die folgenden Lese- und Schreibzugriffe auf die in hexadezimaler Schreibweise angegebenen Hauptspeicheradressen:

Adresse	0x44	0xA0	0xC3	0x9E	0x66	0x2D	0x6B	0x49
read/write	w	r	w	r	r	w	r	w

3. Geben Sie an, ob es sich beim Zugriff auf die jeweiligen Adressen um einen Cache-Miss oder einen Cache-Hit handelt. Verwenden Sie dabei „-“ für Cache-Miss und „×“ für Cache-Hit. Geben Sie an, ob der entsprechende Cacheblock in den Hauptspeicher zurückkopiert werden muss (**ja**) oder nicht (**nein**).
4. Skizzieren Sie den schematischen Aufbau des Cache-Speichers, indem Sie die im Lösungsblatt vorbereitete Skizze vervollständigen. Aus Ihrer Zeichnung sollen die Unterteilung der Hauptspeicheradresse, die Daten- und Adress-Speicher, die Statusbits, alle Vergleicher, Multiplexer/Dekoder und das Hit-Signal sowie die Breiten der Daten- und Adressleitungen deutlich sein.

Cache-Speicher			
Zeile	<i>D</i> -Bit	<i>V</i> -Bit	Tag
0	0	1	1
1	0	1	1
2	0	0	4
3	0	1	5
4	1	1	0
5	0	1	3
6	1	1	0
7	0	0	1

Tabelle 1: Anfangsbelegung des Cache-Speichers