



Technische Informatik II im SS 2005

8. Übungsblatt

Abgabetermin: 23. Juni 2005, bis 13:00 Uhr

Prof. Dr. U. Brinkschulte

Geb. 40.28, D-76131 Karlsruhe

Email: brinks@ira.uka.de

Dr.-Ing. T. Asfour

Telefon: +49-721-608-7379

Fax: +49-721-608-8270

Email: asfour@ira.uka.de

<http://i61www.ira.uka.de/users/asfour/TI>

Aufgabe 1

(10 Punkte)

Das folgende Programmstück soll in der DLX-Pipeline abgearbeitet werden.

```
S1:          addi $t1, $zero, 10
S2:          sll  $t2, $t1, 4
S3:   loop:  lw   $t3, 0x100($t1)
S4:          add  $t5, $t4, $t3
S5:          sll  $t4, $t3, 4
S6:          sw   $t4, 0x104($t1)
S7:          addi $t1, $t1, 4
S8:          subi $t5, $t1, 0x400
S8:          bnez $t5, loop
S9:   end:   srl  $t1, $t1, 2
S10:         sw   $t1, 0x2000($zero)
```

1. Die einzige Methode zur Behebung von Pipelinekonflikten sei das Einfügen von NOP-Befehlen (*No Operation*) in den Befehlsstrom.

Ergänzen Sie das Programmstück durch das Einfügen von möglichst wenigen NOP-Befehlen, so dass alle Pipelinekonflikte behoben werden.

2. Wie viele NOP-Befehle sind noch notwendig, wenn *result-* und *load-forwarding-*Techniken implementiert sind?
3. Nehmen Sie an, dass die Befehlsdekodierung, Berechnung der Sprungzieladresse und Rückschreibung des Befehlszählers (PC) bei bedingten Sprungbefehlen in der ID/RF-Stufe erfolgt¹. Wie viele NOP-Befehle sind jetzt noch notwendig, wenn
 - i.) *Result-* und *load-forwarding-*Techniken implementiert sind?
 - ii.) *Result-* und *load-forwarding-*Techniken nicht implementiert sind?

¹U. a. durch Ressourcenreplizierung, ... usw.

Aufgabe 2

(8 Punkte)

1. Ein $64\text{K} \times 1$ Speicher-Baustein besitzt eine quadratische Speichermatrix. Der höchstwertige Teil einer Adresse ist auf einen Zeilen-Auswahl-Dekoder, der niederwertige Teil der Adresse auf einen Spalten-Auswahl-Dekoder geschaltet.

An welcher Stelle in der Speichermatrix befindet sich das Speicherelement (1-Bit-Speicherzelle) mit der Adresse $ABC3_{16}$?

2. Bei einem 16-Bit Indexregister (Abkürzung: IR) sind die Varianten zur automatischen Modifikation (*autoinkrement* und *autodekrement*) sowie die Skalierung des Registerinhalts realisiert.

Welcher Wert wird zur Adressberechnung verwendet, wenn $\text{IR} = 0\text{x}1\text{A}1\text{E}$, ein Skalierungsfaktor von 8 und eine Prädekrement-Modifikation um 2 gewählt wird?

3. Gegeben ist das Timing-Diagramm eines DRAM-Bausteins (siehe Bild 1).

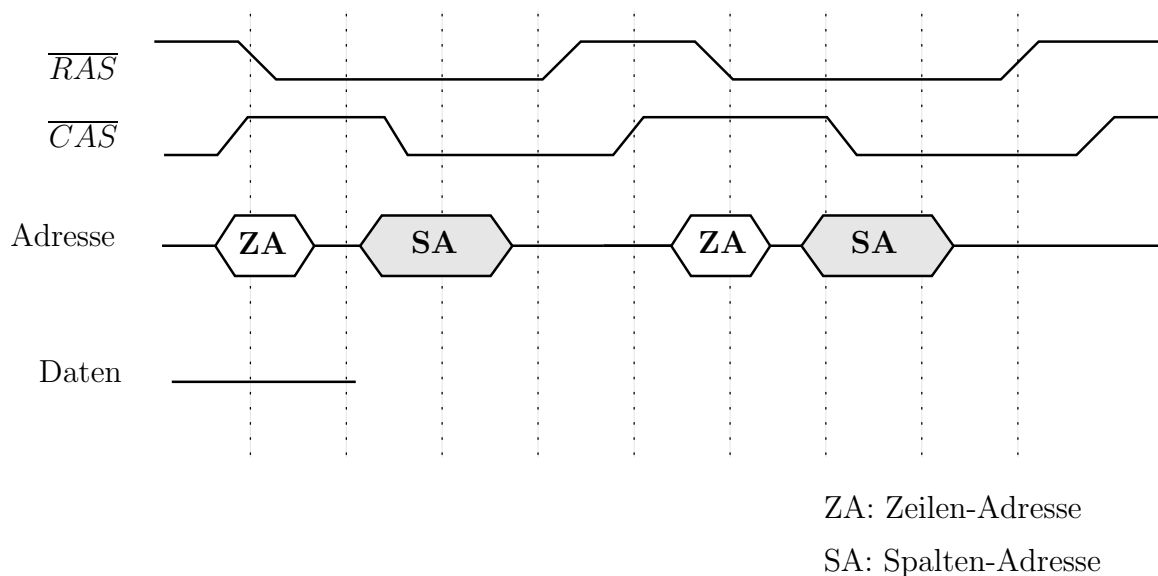


Bild 1: Timing-Diagramm eines DRAM-Bausteins

- i.) Geben Sie das Timing-Diagramm für Lese-Zugriffe und tragen Sie die Timing-Parameter ein, d. h.
- die Zykluszeit (t_{RC}),
 - die RAS-Zugriffszeit (t_{RAC}),
 - die CAS-Zugriffszeit (t_{CAC}),
 - die RAS-CAS-Delay (t_{RCD}) und
 - die RAS-Precharge-Time (t_{RP}).
- ii.) Welche der oben genannten Timing-Parameter fallen bei einem FPM-DRAM (FPM: *fast page mode*) weg? Begründen Sie Ihre Antwort.