

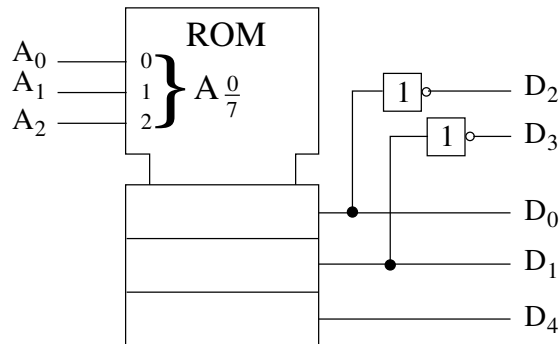


Lösung 1

1. Der ROM-Baustein muss die gesamte Funktionstabelle (Speichertabelle) realisieren. Jeder Eingangsbelegung der Adreßeingänge A_2, A_1, A_0 (entspricht einer ROM-Adresse) müssen 5 Ausgangswerte zugeordnet werden. Der ROM muß dann 5-Bit Worte speichern. Bei 3 Adreßeingängen ergibt sich eine Speicherkapazität von $2^3 \cdot 5$ Bit = 40 Bit.
2. Aus der Funktionstabelle sieht man, dass $D_3 = \overline{D_1}$ und $D_2 = \overline{D_0}$. Dadurch lassen sich zwei Ausgänge beim Speicherbaustein sparen, da zusätzlich zum ROM auch Inverter verwendet werden können. Der ROM muß folglich nur 3-Bit Worte speichern. Die Speicherkapazität ergibt sich dann zu: $2^3 \cdot 3$ Bit = 24 Bit.

Reduzierte Funktionstabelle:

A_2	A_1	A_0	D_4	D_1	D_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	1	1
1	1	0	0	1	1
1	1	1	0	1	0



Lösung 2

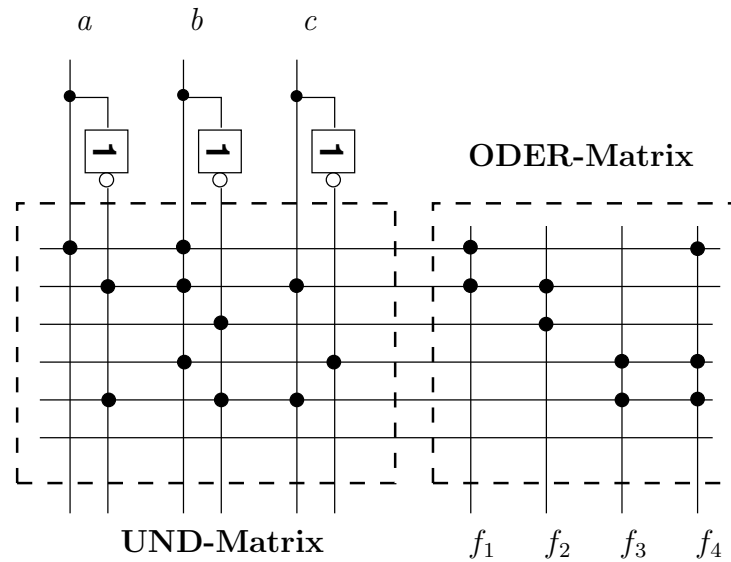
PLA: Bündelminimierung der Funktionen:

$$f_1 = b a \vee c b \bar{a}$$

$$f_3 = \bar{c} b \vee c \bar{b} \bar{a}$$

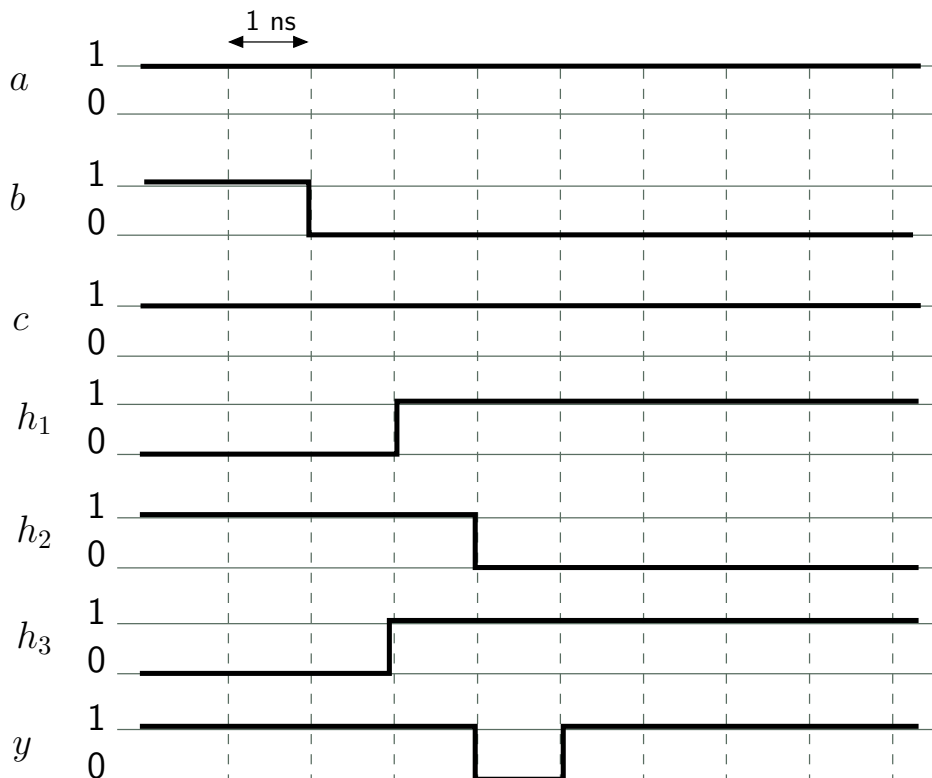
$$f_2 = \bar{b} \vee c b \bar{a}$$

$$f_4 = \bar{c} b \vee b a \vee c \bar{b} \bar{a} = f_3 \vee b a$$



Lösung 3

1. Verläufe der Signale h_1, h_2, h_3 und y :



Der ideale Verlauf von y bleibt während des Übergangs konstant auf 1, da die Funktion y sowohl für die Anfangsbelegung $(c, b, a) : (1, 1, 1)$ als auch für die Endbelegung $(1, 0, 1)$ den Wert 1 hat.