

# Aufgabenblätter zur Prüfung

Rechnerorganisation & Digitaltechnik und Entwurfsverfahren

und

Technische Informatik I/II

am 01. März 2010, 18:00 – 20:00 Uhr

- Beschriften Sie bitte gleich zu Beginn jedes Lösungsblatt deutlich lesbar mit Ihrem Namen und Ihrer Matrikelnummer.
- Diese Aufgabenblätter werden nicht abgegeben. Tragen Sie Ihre Lösung deshalb ausschließlich in die für jede Aufgabe vorgesehenen Bereiche der Lösungsblätter ein. Lösungen auf separat abgegebenen Blättern werden nicht gewertet.
- Außer Schreibmaterial sind während der Klausur keine Hilfsmittel zugelassen. Täuschungsversuche durch Verwendung unzulässiger Hilfsmittel führen unmittelbar zum Ausschluss von der Klausur und zur Note „nicht bestanden“.
- Soweit in der Aufgabenstellung nichts anderes angegeben ist, tragen Sie in die Lösungsblätter bitte nur die Endergebnisse ein. Die Rückseiten der Aufgabenblätter können Sie als Konzeptpapier verwenden. Weiteres Konzeptpapier können Sie auf Anfrage während der Klausur erhalten.
- Halten Sie Begründungen oder Erklärungen bitte so kurz wie möglich. (Der auf den Lösungsblättern für eine Aufgabe vorgesehene Platz steht übrigens in keinem Zusammenhang mit dem Umfang einer korrekten Lösung!)
- Die Gesamtpunktzahl beträgt 90 Punkte. Zum Bestehen der Klausur sind mindestens 40 Punkte zu erreichen.

*Viel Erfolg und viel Glück !*

### Aufgabe 1 Boolesche Algebra

(6 Punkte)

1. Beweisen Sie durch schaltalgebraische Umformungen die Gültigkeit des Assoziativgesetzes für den zweistelligen Äquivalenzoperator: 3 P.

$$(a \leftrightarrow b) \leftrightarrow c = a \leftrightarrow (b \leftrightarrow c)$$

2. Zeigen Sie mit Hilfe der Regeln der booleschen Algebra, dass für drei boolesche Variablen  $a$ ,  $b$  und  $c$  gilt: 3 P.

$$a \leftrightarrow b \leftrightarrow c = a \leftrightarrow b \leftrightarrow c$$

Geben Sie bei jedem Umformungsschritt an, welche Regeln Sie verwendet haben. Äquivalenz und Antivalenz sind assoziative Verknüpfungen, deswegen wurden die Klammern weggelassen.

### Aufgabe 2 Schaltfunktionen

(11 Punkte)

1. Bestimmen Sie die konjunktive Minimalform der durch das Multiplexer-Schaltnetz in Abbildung 1 realisierten Schaltfunktion  $y = f(c, b, a)$ . 3 P.

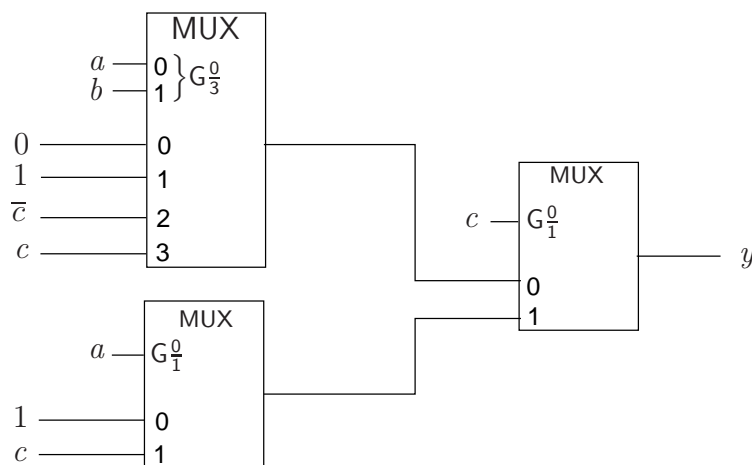


Abbildung 1: Multiplexer-Schaltnetz der Schaltfunktion  $y = f(c, b, a)$

2. Bestimmen Sie alle Primimplikanten der Schaltfunktion 4 P.

$$g(c, b, a) = \bar{c} b \bar{a} \vee c b \bar{a} \vee c \bar{b} a \vee \bar{c} b a \vee c b a$$

mit Hilfe des Consensus-Verfahrens. Die prinzipielle Vorgehensweise bei der Anwendung des Consensus-Verfahrens soll aus der Lösung ersichtlich sein. Verwenden Sie hierzu die im Lösungsblatt vorbereitete Tabelle.

3. Gegeben sei die Überdeckungstabelle einer Schaltfunktion  $h(d, c, b, a)$  mit den Mintermen 4, 5, 6, 8, 9, 10, 13. Die Primimplikanten der Funktion seien A, B, C, D, E, F und G.

	4	5	6	8	9	10	13
A	×						
B				×			
C				×	×		
D				×		×	
E					×		×
F	×	×	×				
G		×					×

- (a) Ist die Funktion  $h(d, c, b, a)$  vollständig oder unvollständig definiert? Begründen Sie Ihre Antwort. (Keine Punkte bei fehlender Begründung). 1 P.
- (b) Im folgenden sei:

$$\begin{array}{lll}
 A = (0 - 0 0) & B = (- 0 0 0) & C = (1 0 0 -) \\
 D = (1 0 - 0) & E = (1 - 0 1) & F = (0 1 - -) \\
 G = (- 1 - 1) & & 
 \end{array}$$

Bestimmen Sie die disjunktive Minimalform der Funktion  $h(d, c, b, a)$ . Beschreiben Sie Ihre Vorgehensweise. 3 P.

### Aufgabe 3 *Schaltwerke*

(11 Punkte)

1. Gegeben sei folgende Automatentabelle eines Moore-Schaltwerks 2 P.

$z^t$	$z^{t+1}$		$y^t$
	$x^t = 0$	$x^t = 1$	
1	3	1	1
2	1	4	0
3	4	1	1
4	2	4	0

Zeichnen Sie hierzu den Automatengraphen.

2. Gegeben sei die in Abbildung 2 dargestellte Realisierung eines synchronen Schaltwerks mit der Eingangsvariablen  $e$  und der Ausgangsvariablen  $a$ .

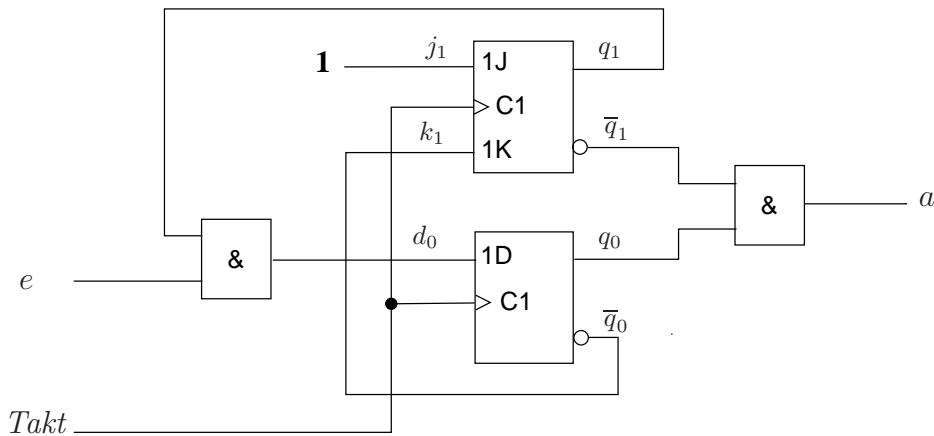


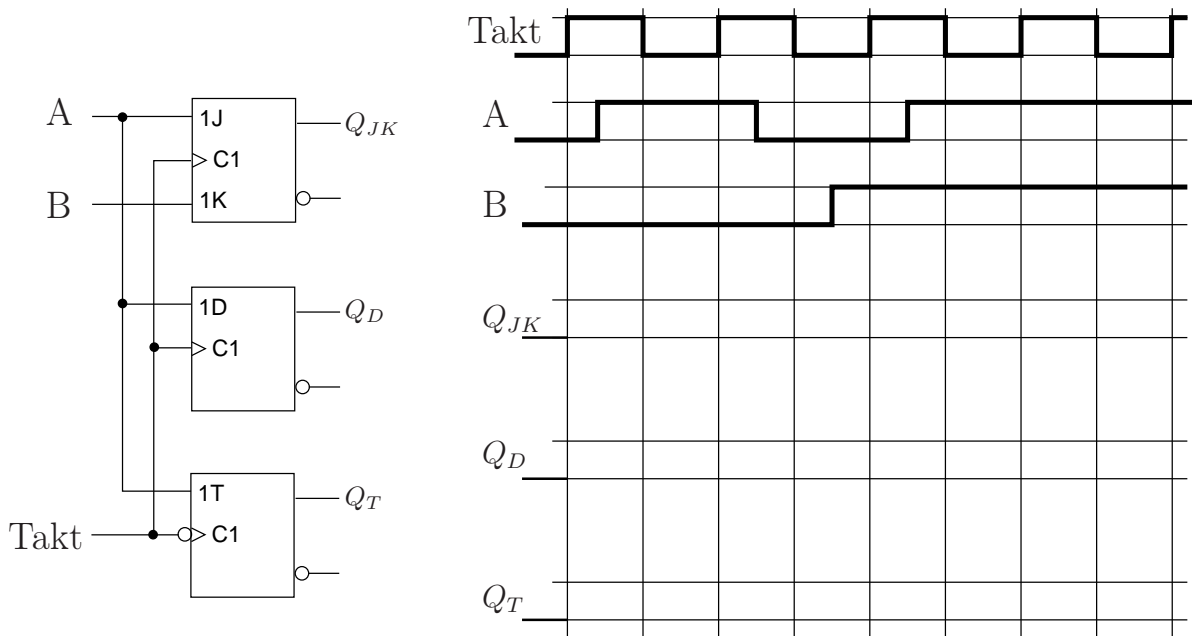
Abbildung 2: Schaltwerk

Geben Sie den Automatengraphen des Schaltwerks an. Nehmen Sie dabei an, dass die Zustände  $z_i$  mit den Zustandsvariablen  $q_1$  und  $q_0$  dual kodiert sind. Stellen Sie Ihre Lösung schrittweise dar.

5 P.

3. Vervollständigen Sie die Verläufe der Signale  $Q_{JK}$ ,  $Q_D$  und  $Q_T$  für die angegebenen Eingangssignale. Nehmen Sie an, dass  $Q(t=0)$  gleich 0 bei allen Flipflops ist.

3 P.



4. Zwei Automaten mit zwei bzw. vier Flipflops werden gekoppelt. Wie viele Zustände kann das entstehende Gesamtsystem aus beiden Automaten höchstens besitzen?

1 P.

## Aufgabe 4 *Rechnerarithmetik* (8 Punkte)

**Hinweis:** Geben Sie in dieser Aufgabe *immer* den Rechenweg an.

1. Wandeln Sie die Zahl  $37_{10}$  in eine 16-Bit Zweierkomplement-Zahl um. 1 P.
2. Wandeln Sie die Zahl  $-37_{10}$  in eine 32-Bit Zweierkomplement-Zahl um. 1 P.
3. Gegeben sei die folgende 32-Bit Folge 2 P.

101000011001010101111111101101101

Was könnte diese Folge darstellen? Geben Sie sechs Interpretationen dieser Folge an. Sie brauchen den Wert der jeweiligen Interpretation nicht anzugeben.

4. Multiplizieren Sie die in Vorzeichen-Betrag-Form angegebenen Zahlen nach der Ihnen aus der Vorlesung bekannten Addiere-Schiebe-Methode. 4 P.

$10011011 \times 10000101$

Geben Sie den Rechenweg an und kommentieren Sie Ihre einzelnen Schritte. Verwenden Sie das im Lösungsblatt angegebene Schema. Dabei stellen M und Q zwei 8-Bit Register für den Multiplikanden und Multiplikator und A einen 8-Bit Akkumulator dar.

## Aufgabe 5 *Verschiedenes* (9 Punkte)

1. Was ist der Unterschied zwischen einem Halbaddierer und einem Volladdierer? 1 P.
2. Zeichnen Sie das Schaltnetz eines 1-Bit-Volladdierers. Beschriften Sie die Eingänge und Ausgänge Ihrer Schaltung und geben Sie Ihre Bedeutung an. 3 P.
3. Wie viele Prüfbits sind für eine Einzelbit-Fehlerkorrektur in 32-Bit Datenwörtern erforderlich? Geben Sie den Rechenweg an. 1 P.
4. Was ist die physikalische Ursache für das Auftreten von Hasardfehlern bei einem Übergang in einem Schaltnetz? 1 P.
5. Was ist der Unterschied zwischen einem PAL-Baustein und einem PLA-Baustein? 1 P.
6. Schieberegister lassen sich in vielfältiger Weise einsetzen. Geben Sie vier unterschiedliche Einsatzmöglichkeiten an. 2 P.

## Aufgabe 6 *Allgemeines*

(9 Punkte)

1. Aus welchen Komponenten besteht ein von-Neumann-Rechner? 1 P.
2. Beantworten Sie die folgenden Fragen zu Standard-Prozessoren. 2 P.
  - (a) Welches Register enthält den aktuell ausgeführten Befehl?
  - (b) Aus welchem Register entnimmt das Steuerwerk die Information über das Ergebnis einer arithmetisch logischen Operation im Prozessor?
  - (c) Wo steht die Adresse des nächsten auszuführenden Befehls?
  - (d) Welche Einheit des Mikroprozessors führt logische Operationen aus?
3. Beantworten Sie die folgenden Fragen zu RISC-Prozessoren. 2 P.
  - (a) Was macht die Dekodierschaltung in einem RISC-Prozessor einfach?
  - (b) Was bedeutet *Load/Store*-Architektur?
  - (c) Wie ist das Steuerwerk implementiert?
  - (d) Was ist eine *Harvard*-Architektur?
4. Kreuzen Sie bitte für jede der Behauptungen im Lösungsblatt an, ob sie Ihrer Meinung nach richtig oder falsch ist. Nicht angekreuzte Behauptungen zählen nicht und gehen somit nicht in die Bewertung ein. Zur Ermittlung der Punktzahl werden innerhalb einer Teilaufgabe von den richtig angekreuzten Behauptungen die falsch angekreuzten Behauptungen abgezogen; ein negativer Übertrag in andere Teilaufgaben erfolgt nicht. 4 P.

## Aufgabe 7 MIPS-Assembler

(10 Punkte)

1. Schreiben Sie die folgenden Kontrollstrukturen in MIPS-Assembler um. Die Variablen `i`, `j` und `k` stehen in den Registern `$s3`, `$s4` und `$s5`.

3 P.

(a) `if ( i==j )`  
`k = i+j;`

(b) `if ( i!=j )`  
`k = i+j;`  
`else`  
`k = i-j;`

(c) `if ( i < j )`  
`k = 1;`  
`else`  
`k = 0;`

2. Bei der MIPS-Architektur können nur 16-Bit Operanden durch MIPS-Befehle in die Register geladen werden. Geben Sie eine Folge von MIPS-Befehlen an, mit welcher der 32-Bit Operand `1111 0000 0011 1101 0000 1001 0000 1001` ins Register `$s0` geladen werden kann.

2 P.

**Hinweis:** Sie dürfen den Pseudobefehl `li $s0, Imm` nicht verwenden.

3. Welche Werte haben die 2 niedrigstwertigen Bits einer Wortadresse?

1 P.

4. Führen Sie den folgenden MIPS-Kode aus und geben Sie die Änderungen in den Register- und Speicherinhalten an. Verwenden Sie die im Lösungsblatt angegebenen Tabellen.

4 P.

```
addi $t3, $0, 0x20
lw   $t1, 0x04($t3)
add  $t4, $t3, $t0
sw   $t4, 0x08($t3)
```

Registersatz

Register	Inhalt
\$t0	0x10
\$t1	0x14
\$t2	0x16
\$t3	0x28
\$t4	0x1234

Hauptspeicher

Adresse	Inhalt
\$0x20	0x22
\$0x24	0x30
\$0x28	0x40
\$0x2C	0x50
\$0x30	0x60

**Aufgabe 8** *Pipelining*

(8 Punkte)

Das folgende MIPS-Programmstück soll auf einem Prozessor mit DLX-Pipeline ausgeführt werden.

```
S1:   lw    R1, 1000(R0)
S2:   lw    R2, 1004(R0)
S3:   add   R3, R2, R1
S4:   addi  R1, R2, 8
S5:   subi  R4, R0, 2
S6:   and   R5, R3, R2
S7:   sw    R4, 1000(R0)
S8:   sw    R5, 1004(R0)
S9:   sw    R1, 1008(R0)
```

1. Bestimmen Sie alle Datenabhängigkeiten im Programmstück. 5 P.
2. Nehmen Sie an, dass keine *Forwarding* Techniken implementiert sind und die auftretenden Pipelinekonflikte durch Einfügen von NOP (*No Operation*) Befehlen behoben werden müssen. Dabei ist ein Schreibvorgang in das Zielregister erst am Ende der Ergebnis-Speichern-Phase abgeschlossen. 3 P.

Ergänzen Sie das obige Programm, so dass es korrekte Ergebnisse liefert. Sie dürfen dabei die Reihenfolge der Befehle **nicht** ändern und so wenig NOP-Befehle wie möglich einfügen.

**Aufgabe 9** *Cache-Speicher*

(11 Punkte)

Ein 32-Bit-Prozessor besitzt einen Cache-Speicher mit einer Speicherkapazität von 256 Byte und einer Blockgröße von 16 Byte (4 Wörter). Es werden einzelne Bytes adressiert. Der Cache-Speicher ist als 4-fach assoziativer Cache (*4-way set associative cache*) organisiert. Die Hauptspeicheradresse ist 32 Bit breit. Zur Verwaltung eines Cacheblocks werden zwei zusätzliche Statusbits (*Valid*-Bit: V und *Dirty*-Bit: D) verwendet. Falls notwendig, wird die „Least Recently Used“-Ersetzungsstrategie (LRU) verwendet.

1. Welche Bits der 32-Bit-Adresse bilden Byte-Offset, Wort-Offset, Index und Tag? Skizzieren Sie die Unterteilung der Hauptspeicheradresse für diesen Cache-Speicher. 2 P.
2. Ermitteln Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers. 2 P.

3. Nehmen Sie an, der Cache-Speicher sei zu Beginn leer und betrachten Sie die Folge der Lesezugriffe auf die folgenden Hauptspeicheradressen:

6 P.

0xA04, 0x844, 0xA07, 0x7C0, 0xC82, 0xCC3,  
0x9E7, 0x813, 0x9E4, 0x1B2, 0x81D, 0x7C7

Kennzeichnen Sie in der vorbereiteten Tabelle im Lösungsblatt, ob es sich beim Lesezugriff auf die jeweiligen Adressen um einen Treffer (Cache-Hit) oder um keinen Treffer (Cache-Miss) handelt. Verwenden Sie dabei „M“ für Cache-Miss und „H“ für Cache-Hit.

4. Wozu wird das *Dirty*-Bit in einem Cache-Speicher verwendet?

1 P.

## Aufgabe 10 *Speicher*

(7 Punkte)

1. Wie viele Adressleitungen sind erforderlich bei einem Speicherbaustein mit einer Kapazität von 4096 Bits und einer 512×8-Organisation? Begründen Sie Ihre Antwort.
2. Wie viele RAM-Bausteine der Organisation 8k×1 sind notwendig, um einen Speicher mit einer Kapazität von 8k Wörter und einer Wortbreite von 8 Bit zu realisieren? Begründen Sie Ihre Antwort.
3. Wie ist ein ROM-Baustein mit der Speicherkapazität von 2048 Bits und 8 Adressleitungen organisiert? Begründen Sie Ihre Antwort.
4. Sie sind mit dem Design einer Speicherhierarchie eines Rechnersystems beauftragt worden. Welche vier typischen Problemstellungen müssen Sie dabei berücksichtigen? Nennen Sie eine Lösungsmöglichkeit zu jedem Problem.

1 P.

1 P.

1 P.

4 P.