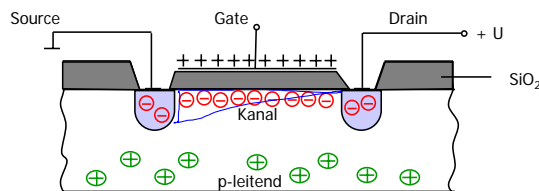


Wiederholung

- Halbleiter
- p- und n-Leitung
- pn-Übergang
- Bipolar-Transistoren
- Feldeffekttransistoren (MOSFET)
 - Selbstsperrende MOSFET
 - Selbstleitende MOSFET

Wdh. Selbstsperrende n-MOS-MOSFETs

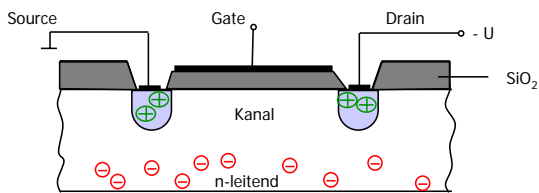
Spannung U_{GS} zwischen Gate und Source hat folgende Wirkung:



• $U_{GS} = +U$

Positive Ladungsträger auf der Gate-Elektrode, die negative Ladungsträger unter der Isolationsschicht induzieren.

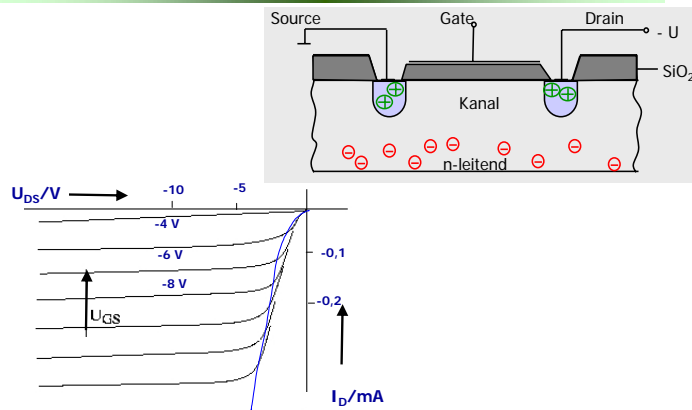
Wdh. Selbstsperrende p-Kanal-MOSFETs



Wirkung:

- $U_{GS} = 0$
Kanal sperrt „selbstsperrend“
- $U_{GS} = -U$
Kanal wird mit positiven Ladungsträgern angereichert.
Kanal wird leitend. Man spricht von einem „p-Kanal“

Kennlinienfeld

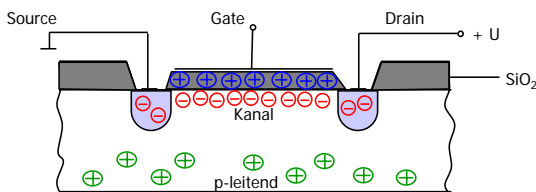


Selbstleitende n-Kanal-MOSFETs

Kanal wird durch feste positive Ladungsträger, die in die SiO_2 -Schicht eingebaut werden, leitend gemacht.

Diese positiven Ladungsträger ziehen negative Ladungsträger an die Oberfläche des Wafers.

⇒ Kanal wird mit Ladungsträger angereichert.

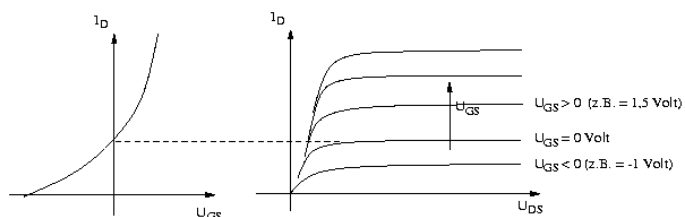


Selbstleitende n-Kanal-MOSFETs

- Bereits ohne Steuerspannung ($U_{GS} = 0$) fließt ein Strom zwischen Drain und Source.
- Um diesen Strom abzuschalten muss eine negative Spannung angelegt werden.
- Spannungen beider Polaritäten sind notwendig. Diese werden bei selbstsperrenden MOSFETs nicht benötigt!

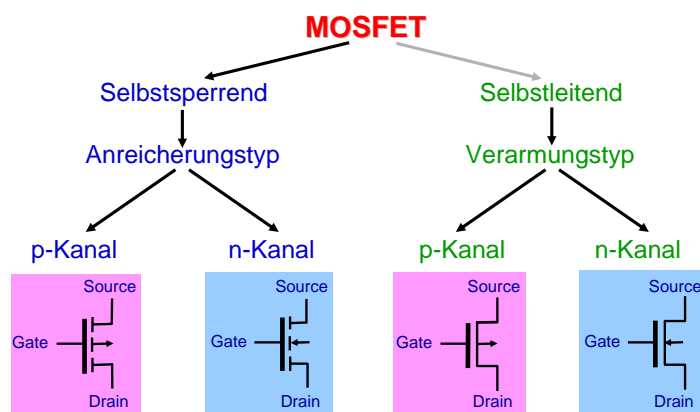
⇒ **Schaltkreise werden in der Regel aus selbstsperrenden Transistoren gebaut.**

Kennlinienfeld



Analog zu n-Kanal-MOSFETs gibt es selbstleitende p-Kanal-MOSFET

Schaltymbole für MOSFETs



- > Source und Drain sind physikalisch identisch und können (prinzipiell) vertauscht werden.
- > Bei MOS Transistoren ist nur eine Sorte von Ladungsträgern für den Stromtransport verantwortlich

3.2.2 Schalterebene

MOS-Transistor kann als Ein/Aus-Schalter betrachtet werden.

Das Gate steuert den Strom zwischen Source und Drain

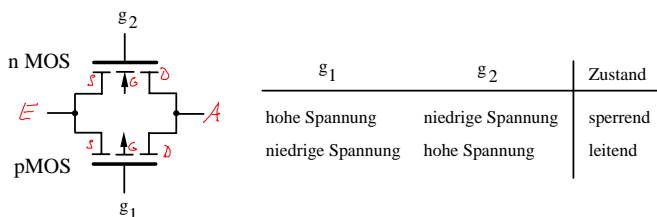
Im folgenden soll gelten:

- > Hoher Spannungspegel (V_{dd} , meist 5 Volt) repräsentiert eine logische 1
- > Niedriger Spannungspegel (GND oder V_{ss} , meist 0 Volt) repräsentiert eine logische 0

Schaltfähigkeiten (1)

- > Die "Stärken" einer logischen 1 oder 0 können unterschiedlich sein.
- > Der nMOS-Transistor kann eine logische 0 gut durchschalten und eine logische 1 schlecht durchschalten. Beim pMOS-Transistor sind die Verhältnisse genau umgekehrt.

Transmission-Gate

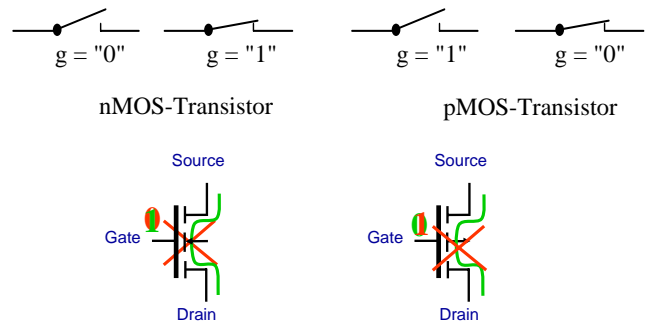


An den Gates der Transistoren müssen komplementäre Signale anliegen.

Ein Chip entsteht

Transistor als Schalter

Ein (selbstsperrender) nMOS-Transistor (pMOS-Transistor) schaltet durch, wenn am Gate eine logische 1 (0) anliegt.

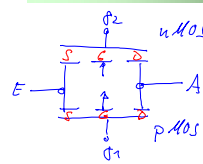


Schaltfähigkeiten (2)

- > Die „Stärke“ einer logischen 0 wird also durch einen pMOS-Transistor abgeschwächt. Ebenso wird die Stärke einer logischen 1 durch einen nMOS-Transistor abgeschwächt.
- > Um diesen Nachteil der beiden Transistorarten zu umgehen, werden pMOS- und nMOS-Transistoren parallel geschaltet → zuverlässige Durchschaltung beider Werte (0 und 1)

Ein solches Transistorpaar bezeichnet man als **Transmission-Gate**

Ergänzungen Transmission Gate



Leitend: $g_2 = "1"$, $g_1 = "0"$

1. Fall: $E = "0"$
 $U_{GS} > 0 \Rightarrow$ nMOS leitet
 $U_{GS} = 0 \Rightarrow$ pMOS sperrt

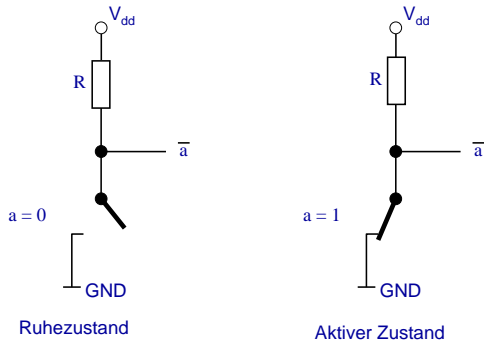
2. Fall: $E = "1"$
 $U_{GS} = 0 \Rightarrow$ nMOS sperrt
 $U_{GS} < 0 \Rightarrow$ pMOS leitet

Sperrend: $g_1 = "1"$, $g_2 = "0"$

1. Fall: $E = "0"$
 $U_{GS} = 0 \Rightarrow$ nMOS sperrt
 $U_{GS} > 0 \Rightarrow$ pMOS sperrt

2. Fall: $E = "1"$
 $U_{GS} < 0 \Rightarrow$ nMOS sperrt
 $U_{GS} = 0 \Rightarrow$ pMOS sperrt

Inverter mit Arbeitswiderstand R



Nachteil:

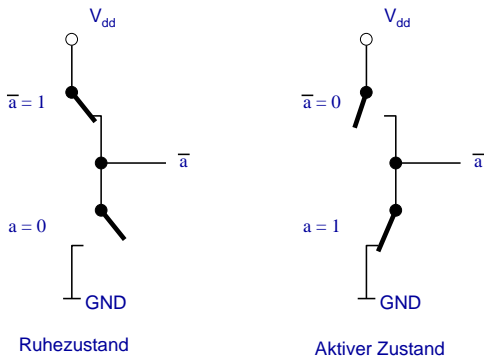
Bei der Darstellung des Funktionswertes 1 fließt ständig Strom und damit wird Energie verbraucht.

Besser:

Darstellung der logischen Werte als Spannungspegel ohne Stromverbrauch bei konstanten Eingangsvariablen

Schalter und logische Verknüpfungen (3)

Idealer Inverter (vereinfacht)



CMOS-Technologie

CMOS:

Complementary Metal Oxide Semiconductor

- > Die Funktionswerte werden über Spannungspegel repräsentiert.
- > Es fließt kein Strom im statischen Zustand der Eingangsvariablen.

Zusammenschaltung von p- und n-Kanal-MOSFETs

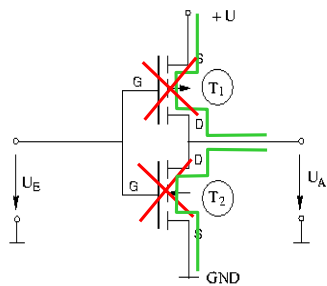
Man benutzt den einen Transistor als Lastwiderstand des anderen Transistors

$U_E = 0$

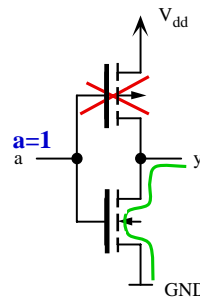
- T_2 (n-MOS) sperrt
- T_1 (p-MOS) leitet
- $\Rightarrow U_A \approx +U$

$U_E = +U$

- T_2 leitet
- T_1 sperrt
- $\Rightarrow U_A \approx 0$



Inverter in CMOS-Technologie



Funktionsweise:

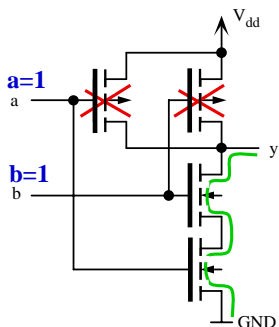
- > Ist $a = 0$, so wird der nMOS Transistor gesperrt, der pMOS Transistor leitet
 ➔ am Ausgang liegt $V_{dd} = 1$
- > Ist $a = 1$, so leitet der nMOS Transistor, der pMOS Transistor ist gesperrt
 ➔ am Ausgang liegt $GND = 0$

| a | y |
|---|---|
| 0 | 1 |
| 1 | 0 |

Weder für $a=1$ noch für $a=0$ existiert ein leitender Pfad von V_{dd} zu $GND \Rightarrow$ kein Stromverbrauch bei konstanten Eingangsvariablen.

Stromverbrauch nur beim Übergang.

NAND-Funktion in CMOS

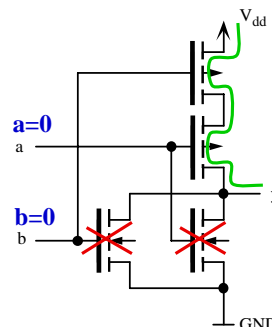


| a | b | y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Funktionsweise:

- > Nur wenn $a = 1$ und $b = 1$ sind beide nMOS Transistoren leitend
 ➔ am Ausgang liegt $GND=0$
- > Anderenfalls schaltet mindestens einer der beiden pMOS Transistoren durch
 ➔ am Ausgang liegt $V_{dd} = 1$

NOR-Funktion in CMOS



| a | b | y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Funktionsweise:

- > Nur wenn $a = 0$ und $b = 0$ sind beide pMOS Transistoren leitend
 ➔ am Ausgang liegt $V_{dd} = 1$
- > Anderenfalls schaltet mindestens einer der beiden nMOS Transistoren durch
 ➔ am Ausgang liegt $GND = 0$

CMOS-Schaltungen

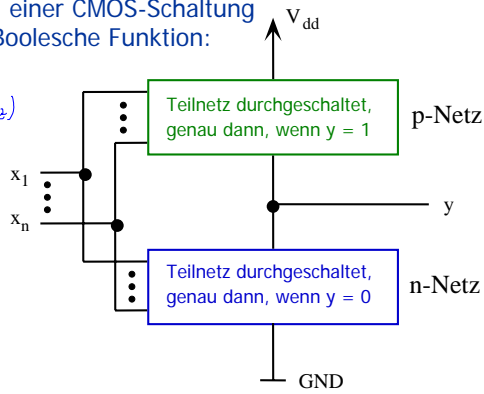
Prinzipieller Aufbau einer CMOS-Schaltung für eine n-stellige Boolesche Funktion:

- Pull-up Netz (p-Netz)
- Pull-down Netz (n-Netz)

$$P(K_1, \dots, K_n)$$

$$N(K_1, \dots, K_n)$$

$$P() = f() = \overline{N()}$$



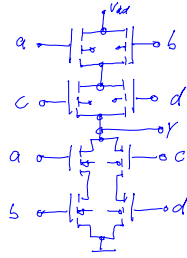
Beispiel

$$y = f(a, b, c, d) = \overline{a}b \vee c\overline{d}$$

• p-Netz $y = \overline{a}b \vee c\overline{d} = (\overline{a}b) \vee (c\overline{d})$

Achtung! p-Netz invertiert!

• n-Netz $\overline{y} = a\overline{b} \wedge c\overline{d}$



Prinzipieller Aufbau einer CMOS-Schaltung

2 Teilnetze:

- > p-Netz: durchgeschaltet, wenn $y = 1$ sein soll
- > n-Netz: durchgeschaltet, wenn $y = 0$ sein soll

Dies geht jedoch **nicht** für beliebige Boolesche Funktionen.

Nur solche Disjunktionen und Konjunktionen, bei denen alle Variablen negiert vorkommen, lassen sich so realisieren (p-Netz schaltet bei logischer 0)

Für andere Boolesche Funktionen: Zusammensetzen aus einfacheren Funktionen (vgl. Abschnitt 3.1)